

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-147538

(43)Date of publication of application : 26.05.2000

(51)Int.Cl.

G02F 1/1343

G02F 1/1339

G02F 1/136

G09F 9/00

G09G 3/20

(21)Application number : 10-322162

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.11.1998

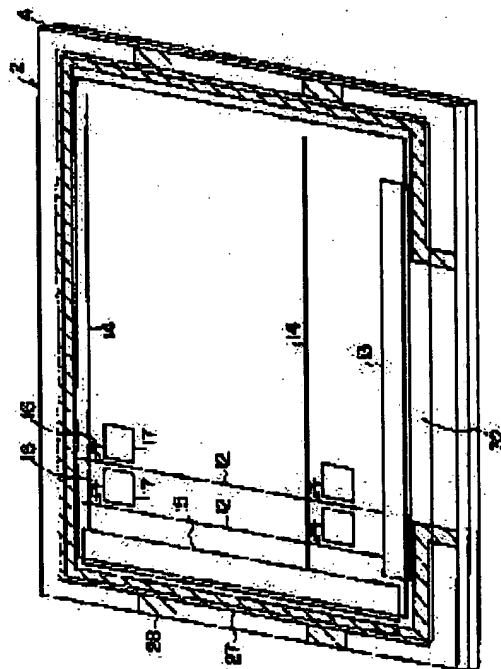
(72)Inventor : EJIRI SUNAO

(54) FLAT DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a flat display device easy to specify a defective portion.

SOLUTION: This device is a liquid crystal display device provided with a matrix array substrate 2 having a TFT 16, a scanning line 12, a signal line 14 and a pixel electrode 17 connected to the TFT 16, a scanning line drive circuit 13 applying a scan signal to the scanning line 12, a signal line drive circuit 15 applying a video signal to the signal line 14, a conductive pad 28 for applying potential to a counter substrate 3 and electrode wiring 27 applying the potential to the conductive pad 28, a counter substrate 3 having a counter electrode 7 and a light shield layer 6, which is oppositely arranged on the matrix array substrate 2, and a liquid crystal composition sealed/held between the matrix array substrate 2 and the counter substrate 3. In such a case, patterns 21, 22 are provided on the electrode wiring 27, and owing to a function as an address displaying mark of the signal line 14 and the scanning line 12 as well as a function as observing window of coating state of a seal member 32, identification of defective portions is facilitated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The pixel electrode arranged at the intersection of the scanning line and the signal line which were arranged so that it might cross, respectively, and said scanning line and said signal line, The matrix array substrate which has wiring arranged in peripheries other than the viewing area by which said pixel electrode has been arranged, The opposite substrate by which has said counterelectrode and protection-from-light layer, and opposite arrangement was carried out through said matrix array substrate and seal member, The light modulation layer pinched between said matrix array substrates and said opposite substrates, The flat-surface display with which a preparation and said wiring are characterized by having the pattern of the mark which identifies the address of the aperture for observing said seal member or said scanning line, and/or said signal line which functions as either at least.

[Claim 2] The pixel electrode arranged at the intersection of the scanning line and the signal line which were arranged so that it might cross, respectively, and said scanning line and said signal line, The switching element connected to said corresponding scanning line, said signal line, and said pixel electrode, The scanning-line drive circuit which is arranged at the periphery of the viewing area by which said pixel electrode has been arranged, and impresses a scan signal to said scanning line, The signal-line drive circuit which is arranged at said periphery and impresses a video signal to said signal line, The matrix array substrate which has electrode wiring for impressing potential to the counterelectrode of an opposite substrate, Said opposite substrate by which has said counterelectrode electrically connected with said electrode wiring, and a protection-from-light layer, and opposite arrangement was carried out through said matrix array substrate and seal member, The light modulation layer pinched between said matrix array substrates and said opposite substrates, The flat-surface display with which a preparation and said electrode wiring are characterized by having the pattern of the mark which identifies the address of the aperture for observing said seal member or said scanning line, and/or said signal line which functions as either at least.

[Claim 3] Said electrode wiring is a flat-surface display according to claim 1 or 2 characterized by the thing of said scanning line or said signal line currently formed with either and a **-ingredient at least.

[Claim 4] Said electrode wiring is a flat-surface display according to claim 1 to 3 characterized by having the multilayer structure containing a metal membrane and the transparence electric conduction film.

[Claim 5] Said transparence electric conduction film is a flat-surface display according to claim 4 characterized by being formed with said pixel electrode and the **-ingredient.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention is made into the suitable thing for an active matrix liquid crystal indicating equipment, concerning a flat-surface indicating equipment.

[0002]

[Description of the Prior Art] In recent years, it aims at a low power by the small light weight, and development of the flat-surface display represented by the liquid crystal display is furthered. Especially, high definition image display is possible for an active matrix liquid crystal display, and it has come to be used broadly.

[0003] The configuration of the conventional active matrix liquid crystal display is explained using drawing 5 - drawing 8. As shown in drawing 5, two or more signal lines 12 are wired in parallel on the transparent insulating substrate 4 in matrix array substrate 2a, and two or more scanning lines 14 are wired in parallel so that it may intersect perpendicularly with this. Between a signal line 12 and the scanning line 14, the insulator layer which is not illustrated insulates electrically.

[0004] The signal-line drive circuit 13 where the end of a signal line 12 was furthermore connected in order to impress a video signal on an insulating substrate 4 at each signal line 12, and in order to impress a scan signal to each scanning line 14. The scanning-line drive circuit 15 where the end of the scanning line 14 was connected is arranged, and the pixel electrode 17 is arranged through the thin film transistor (henceforth TFT) 16 as a switching element near the crossings of a signal line 12 and the scanning line 14. It connects with the scanning line 14 with which the gate of TFT16 corresponds, connects with the signal line 12 with which a drain corresponds, and connects with the pixel electrode 17 with which the source corresponds. In addition, the pixel electrode 17 consists of transparent electrodes which consist of the ITO (Indium Tin Oxide) film etc.

[0005] Moreover, the electric conduction pad 28 for supplying potential to the opposite substrate mentioned later and electrode wiring 27a are prepared in the periphery of the image display field where the pixel electrode 17 was formed on the insulating substrate 4. In addition, these electric conduction pads 28 and electrode wiring 27a are formed with a signal line or scanning-line ingredients, such as for example, a Mo-W alloy and an aluminum-Nd alloy.

[0006] Moreover, on the insulating substrate 4, mark 21a which shows the address of each signal line 12 and the scanning line 14 is formed. In case this mark 21a generally forms a signal line 12 or the scanning line 14, it is formed by performing patterning to a metal membrane at the same process. In a liquid crystal display, in case failure analysis when a poor display arises is performed, it is necessary to specify the address of the scanning line 14 in matrix array substrate 2a, and a signal line 12. Then, such mark 21a for an address display is formed.

[0007] The opposite substrate 3 is equipped with the configuration as shown in drawing 6. On the front face of the transparent insulating substrate 5, the protection-from-light layer 6 which consists of a metallic material or an organic material is formed, and the counterelectrode 7 which consists of the transparent electrode ingredient for impressing potential to a liquid crystal constituent is arranged on the front face. The protection-from-light layer 6 is formed in order to raise display sharpness by preventing fields other than an image display field, or the optical leakage between each pixels, and it is formed by the film which consists of the metal laminated structure and organic material of chromium and chrome oxide. A counterelectrode 7 consists of the ITO film etc., it is uniformly arranged in an image display field, and all the inside of this field becomes equipotential. Moreover, a multicolor display is possible by the color filter which is not illustrated by the lower layer of a transparent electrode 7 being arranged.

[0008] Moreover, on the front face of the periphery in an insulating substrate 5, the opposite electric conduction pad 29 for receiving potential from matrix array substrate 2a is formed. The opposite electric conduction pads 29 are a counterelectrode 7 and a **-process, for example, are formed in one with the ITO film.

[0009] And on the periphery of matrix array substrate 2a shown in drawing 5, the seal member 32 is applied and it is stuck with the opposite substrate 3. The potential given to the opposite substrate 3 is impressed to electrode wiring 27a on matrix array substrate 2a from the exterior, and is sent to the electric conduction pad 28. As shown in drawing 7, through silver PE 1 strike 34 formed on the electric conduction pad 28, potential is impressed to the electric conduction pad 29 on the opposite substrate 3, and potential is supplied to a counterelectrode 7.

[0010]

[Problem(s) to be Solved by the Invention] By the way, in recent years, in order to compare with the dimension in a personal computer etc. and to secure a big viewing area, it is required that narrow picture frame-ization, i.e., the frame field of the circumference to an effective viewing area, should be made small to a flat-surface display. Moreover, in the liquid crystal display of drive circuit one apparatus, since the drive circuit section 15 exists in the frame section of the boundary region on matrix array substrate 2a as shown in drawing 8, the field which can arrange electrode wiring 27a is limited narrowly. For this reason, it is becoming difficult to make it the part with which the seal member 32 and electrode wiring 27a lap not arise. However, if the seal member 32 and electrode wiring 27a lap, the spreading condition of the seal member 32 cannot be checked from the matrix array substrate 2a side after the lamination of both substrates by existence of electrode wiring 27a.

[0011] Carrying out thinning of the electrode wiring 27a, and enabling it to check the seal member 32 is also thought of. However, if thinning of the electrode wiring 27a is carried out, this wiring resistance will increase, and there is a possibility that the potential of a counterelectrode 7 may not become fixed. Therefore, it was difficult to carry out thinning of the electrode wiring 27a.

[0012] On the other hand, the protection-from-light layer 6 is formed in the opposite substrate 3 to make it optical leakage not arise from other than an image display field as mentioned above. For this reason, it is impossible to check the condition of the seal member 32 also from the opposite substrate 3 side.

[0013] Thus, also from the matrix array substrate 2a side, when it becomes impossible to check the spreading condition of the seal member 32 also from the opposite substrate 3 side, after sticking matrix array substrate 2a and the opposite substrate 3, the spreading condition of the seal member 32 can be observed. When the spreading width of face of the seal member 32 was thinner than specification or a hole existed in the seal member 32, the impurity invaded into the liquid crystal constituent from this part, and there was a problem that there was a possibility of causing a poor display.

[0014] Moreover, since the drive circuit section 15 existed in the surrounding frame section in the liquid crystal display of a drive circuit-form as mentioned above, it was difficult to secure the field which carries out patterning of the mark 21a for an address display to the scanning line 14 and a signal line 12. If mark 21a for an address display cannot be formed, pinpointing of a failure part will be difficult, the time amount of failure analysis will increase, and increase of cost will be caused.

[0015] This invention is made in view of the above-mentioned situation, and while pinpointing of a failure part is easy and can prevent generating of a poor display, it aims at offering the flat-surface display which can be contributed to cost reduction.

[0016]

[Means for Solving the Problem] The scanning line and the signal line which were arranged so that the flat-surface display by this invention might cross, respectively, The matrix array substrate which has the pixel electrode arranged at the intersection of said scanning line and said signal line, and wiring arranged in peripheries other than the viewing area by which said pixel electrode has been arranged, The opposite substrate by which has said counterelectrode and protection-from-light layer, and opposite arrangement was carried out through said matrix array substrate and seal member, It has the light modulation layer pinched between said matrix array substrates and said opposite substrates. Said wiring is characterized by having the pattern of the mark which identifies the address of the aperture for observing said seal member or said scanning line, and/or said signal line which functions as either at least.

[0017] Moreover, the scanning line and the signal line which were arranged so that the flat-surface display of this invention might cross, respectively, The switching element connected to the pixel electrode arranged at the

intersection of said scanning line and said signal line, and said corresponding scanning line, said signal line and said pixel electrode, The scanning-line drive circuit which is arranged at the periphery of the viewing area by which said pixel electrode has been arranged, and impresses a scan signal to said scanning line, The signal-line drive circuit which is arranged at said periphery and impresses a video signal to said signal line, The matrix array substrate which has electrode wiring for impressing potential to the counterelectrode of an opposite substrate, Said opposite substrate by which has said counterelectrode electrically connected with said electrode wiring, and a protection-from-light layer, and opposite arrangement was carried out through said matrix array substrate and seal member, It has the light modulation layer pinched between said matrix array substrates and said opposite substrates. Said electrode wiring is characterized by having the pattern of the mark which identifies the address of the aperture for observing said seal member or said scanning line, and/or said signal line which functions as either at least.

[0018] When the pattern formed in wiring or electrode wiring functions as an aperture for observation of a seal member, detection of a poor seal is possible by observing the spreading condition of a seal member through this aperture. Moreover, when a pattern functions as a mark which identifies the address of the scanning line and/or a signal line, pinpointing of a failure part becomes easier.

[0019] Electrode wiring may be formed with either and a *-ingredient here, even if there are few scanning lines or signal lines.

[0020] Since electrode wiring is formed from the same ingredient as the scanning line or a signal line, the increment in a process can be prevented, manufacturability can improve and it can contribute to cost reduction.

[0021] As for electrode wiring, it is desirable that it is what has the multilayer structure containing a metal membrane and the transparence electric conduction film.

[0022] When electrode wiring has multilayer structure, even if a pattern exists, the increment in wiring resistance is prevented, and high-definition equipment without a poor display is offered.

[0023] The transparence electric conduction film may be formed with the same ingredient as a pixel electrode.

[0024] By forming the transparence electric conduction film from the same ingredient as a pixel electrode, a process does not increase, but manufacturability improves and cost is reduced.

[0025]

[Embodiment of the Invention] Hereafter, the gestalt of - operation of this invention is explained with reference to a drawing.

[0026] The flat-surface indicating equipment by the gestalt of operation of the 1st of this invention is an active matrix liquid crystal indicating equipment, and is equipped with the matrix array substrate 2 as shown in drawing 1, the opposite substrate 3 shown in drawing 6, and the liquid crystal constituent pinched among these substrates.

[0027] The opposite substrate 3 has the same configuration as conventional equipment, the protection-from-light layer 6 is formed on the transparent insulating substrate 5, and the counterelectrode 7 for impressing potential to a liquid crystal constituent is arranged on it.

[0028] The protection-from-light layer 6 is formed from what is prepared in order to prevent fields other than an image display field, or the optical leakage between pixels and to raise display sharpness, for example, carried out the laminating of the metallic material of chromium and chrome oxide, and an organic material. The counterelectrode 7 is formed with transparent electrodes, such as for example, ITO film. This counterelectrode 7 is uniformly arranged in this viewing area so that all the inside of an image display field may serve as potentials, such as abbreviation. Moreover, the color filter is prepared in the lower layer of a counterelectrode 7 by the color material which is not illustrated so that a multicolor display may be attained.

[0029] As the matrix array substrate 2 was shown in drawing 1, two or more signal lines 12 are arranged in parallel on the transparent insulating substrate 4, and two or more scanning lines 14 are arranged in parallel so that these signal lines 12 may be intersected mostly at a right angle. Each signal line 12 and scanning line 14 are electrically insulated by the insulator layer which is not illustrated.

[0030] The signal-line drive circuit 13 for impressing a video signal is electrically connected to the signal line 12 at the end of a signal line 12, and the scanning-line drive circuit 15 which impresses a scan signal to the scanning line 14 is electrically connected to the end of the scanning line 14.

[0031] TFT16 and the pixel electrode 17 are formed for each [of a signal line 12 and the scanning line 14] crossing of every. It connects with the scanning line 14 with which the gate of TFT16 corresponds, and

connects with the signal line 12 with which a drain corresponds, and the source is connected to the pixel electrode 17. In addition, the pixel electrode 17 is formed with a transparent electrode like for example, the ITO film.

[0032] Moreover, the electric conduction pad 28 for giving potential to the opposite substrate 3 and the electrode wiring 27 are formed in the matrix array substrate 2. The electrode wiring 27 is formed in the same process as the process in which a signal line 12 and the scanning line 14 are formed.

[0033] The seal member 32 is applied so that the circumference of the image display field of the matrix array substrate 2 may be surrounded, and it is stuck with the opposite substrate 3. The potential given to the opposite substrate 3 is impressed to the electrode wiring 27 on the matrix array substrate 2 from the exterior, and is sent to the electric conduction pad 28. The electric conduction pad 29 of the opposite substrate 3 is given through silver PE 1 strike which is formed on the electric conduction pad 28 and illustrated, and potential is supplied to a counterelectrode 7.

[0034] And with the equipment by the gestalt of this operation, the description is in the electrode wiring 27 in the matrix array substrate 2, and a detail is shown for the configuration in drawing 2. The pattern 22 which changes from two or more slits which cut reticulated (meeting the orientation (cross direction) of the seal member 32) along the wiring direction as an aperture for observing the spreading condition of the seal member 32, and were lacked to the electrode wiring 27 is formed. Moreover, the pattern 21 which displays the address of a signal line 12 and/or the scanning line 14 is formed in the electrode wiring 27.

[0035] As shown in drawing 3, the electrode wiring 27 is constituted by a metal membrane 35 (for example, bilayer laminated structure which consists of a Mo-W alloy and an aluminum-Nd alloy), and the transparency electric conduction film 34 which consists of the ITO film. Or as shown in drawing 4, the electrode wiring 127 has the three-layer laminated structure with metal membranes 35 and 135 and the transparency electric conduction film 34.

[0036] Thus, in the flat-surface display by the gestalt of this operation, the pattern 22 which functions on the electrode wiring 27 as an aperture for observing the spreading condition of the seal member 32 is formed. Therefore, as shown in drawing 3, even if the seal member 32 and the electrode wiring 27 overlap up and down, it is possible to observe the spreading condition of the seal member 32 from the matrix array substrate 2 side. Moreover, also after sticking the matrix array substrate 4 and the opposite substrate 3, it is possible to measure the spreading width of face of the seal member 32. For this reason, when the spreading width of face of the seal member 32 is thinner than specification, or when a hole exists in the seal member 32, an impurity can invade into a liquid crystal constituent from the exterior, and it can distinguish whether a poor display may be caused.

[0037] Moreover, it is formed in the signal line 12 or the about 14 scanning line with which the pattern 21 for the address display of a signal line 12 or the scanning line 14 corresponds to the electrode wiring 27 or 127. For this reason, in failure analysis, pinpointing of a locating fault is easy, failure analysis time amount is shortened and cost reduction is possible.

[0038] Furthermore, the electrode wiring 27 or 127 is formed by multilayer laminated structures, such as a bilayer of a metal membrane 35 and the transparency electric conduction film 34, or three layers. For this reason, even if patterns 21 and 22 exist, the rise of the electrode wiring 27 or wiring resistance of 127 is prevented, and the potential of a counterelectrode 7 is held uniformly. Consequently, generating of a poor display is prevented and offer of a high-definition liquid crystal display is possible.

[0039] Here, the metal membrane 35 which constitutes the electrode wiring 27 is formed at the same process as the process which forms a signal line 12 and the scanning line 14, and the transparency electric conduction film 34 is formed at the pixel electrode 17 and the **-process. For this reason, it is possible for a routing counter not to increase, but for productivity to improve and to offer the liquid crystal display of low cost more.

[0040] The gestalt of operation mentioned above is an example of -, and does not limit this invention. For example, with the gestalt of the above-mentioned implementation, formation of the pattern for observing the spreading condition of a seal member and the pattern for an address display of the scanning line and/or a signal line is performed to electrode wiring which gives potential to a counterelectrode. However, such a pattern may be formed not only to electrode wiring but to other wiring arranged so that it might lap with a seal member up and down in the periphery of an image display field.

[0041] Moreover, although the gestalt of the above-mentioned implementation explained taking the case of the

active matrix liquid crystal indicating equipment as an example of - of a flat-surface indicating equipment, it is possible to apply this invention broadly to the indicating equipment of not only equipment such but a flat-surface configuration at large.

[0042]

[Effect of the Invention] As explained above, according to the flat surface display of this invention, by forming in wiring the pattern of the mark for an address display of the aperture which observe a seal member or a signal line, and/or the scanning line which function as either at least, it be possible to pinpoint easily the failure part which may cause a poor display, and high-definition equipment can be offered by low cost.

[Translation done.]

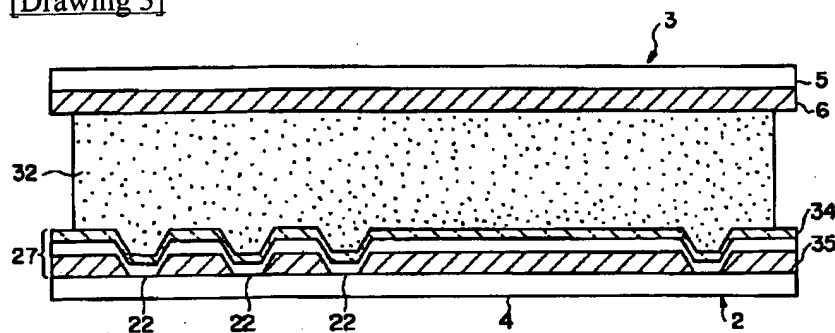
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

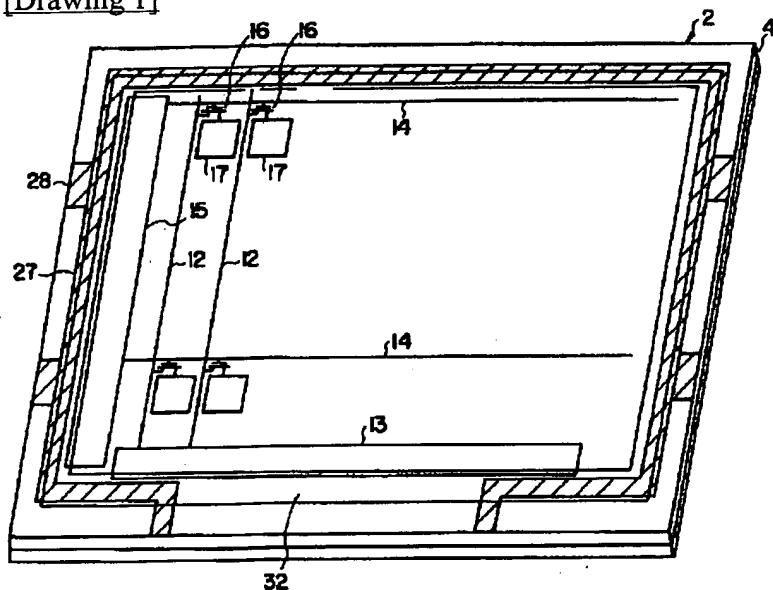
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

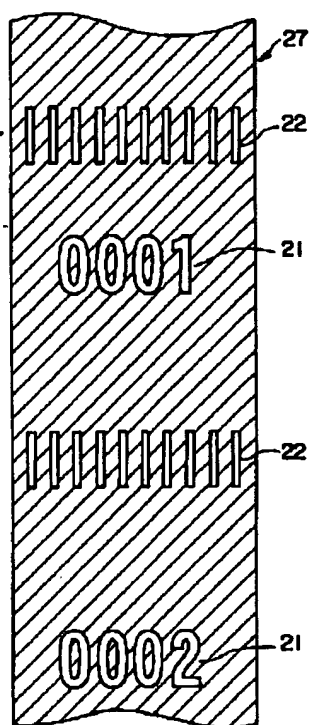
[Drawing 3]



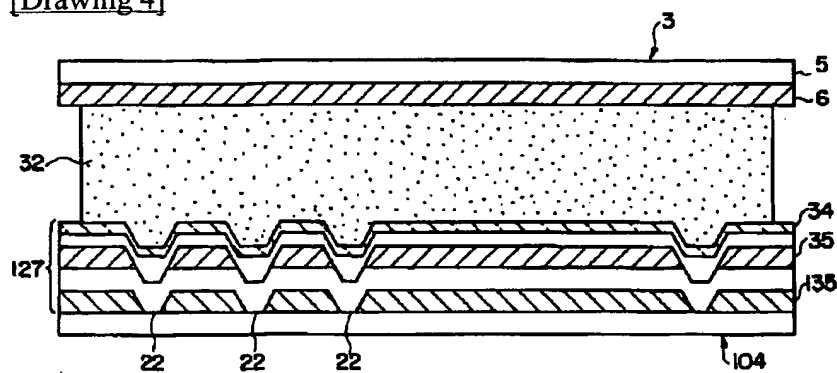
[Drawing 1]



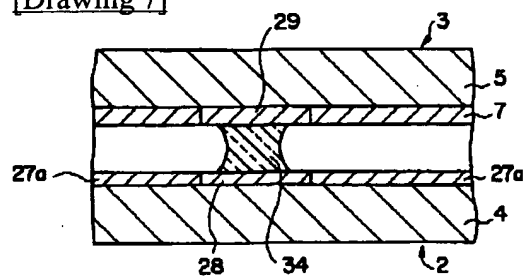
[Drawing 2]



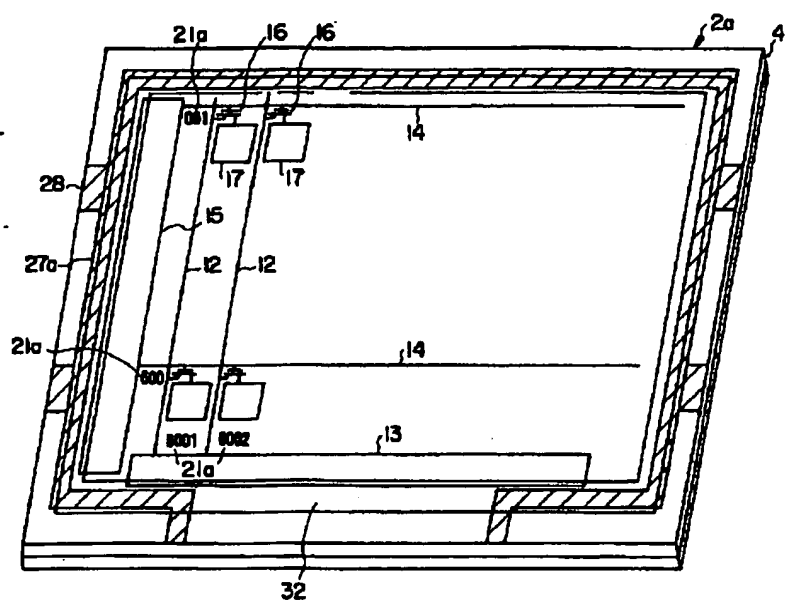
[Drawing 4]



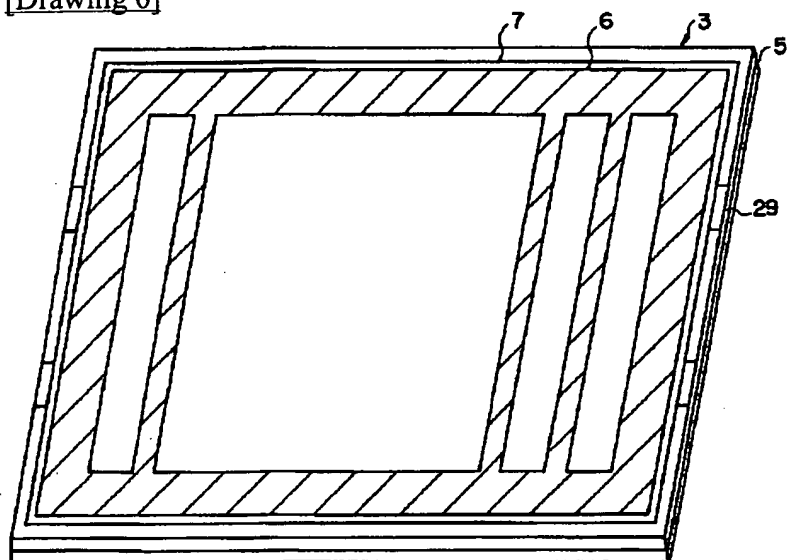
[Drawing 7]



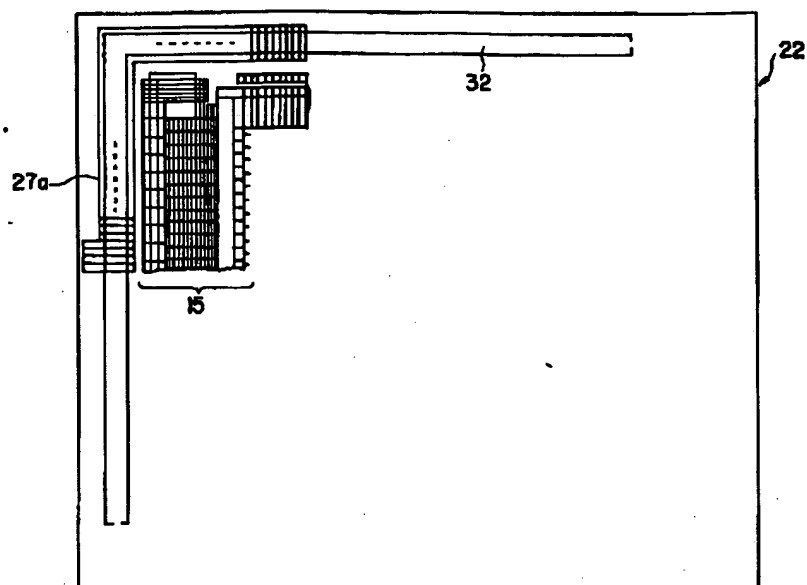
[Drawing 5]



[Drawing 6]



[Drawing 8]



[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-147538

(43)Date of publication of application : 26.05.2000

(51)Int.Cl.

G02F 1/1343

G02F 1/1339

G02F 1/136

G09F 9/00

G09G 3/20

(21)Application number : 10-322162

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.11.1998

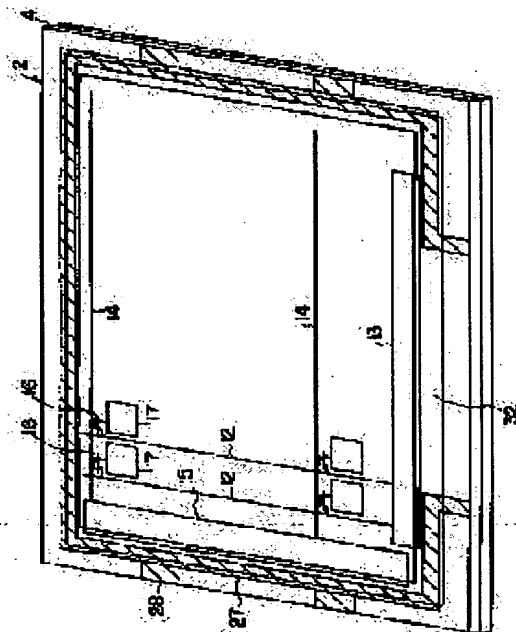
(72)Inventor : EJIRI SUNAO

(54) FLAT DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a flat display device easy to specify a defective portion.

SOLUTION: This device is a liquid crystal display device provided with a matrix array substrate 2 having a TFT 16, a scanning line 12, a signal line 14 and a pixel electrode 17 connected to the TFT 16, a scanning line drive circuit 13 applying a scan signal to the scanning line 12, a signal line drive circuit 15 applying a video signal to the signal line 14, a conductive pad 28 for applying potential to a counter substrate 3 and electrode wiring 27 applying the potential to the conductive pad 28, a counter substrate 3 having a counter electrode 7 and a light shield layer 6, which is oppositely arranged on the matrix array substrate 2, and a liquid crystal composition sealed/held between the matrix array substrate 2 and the counter substrate 3. In such a case, patterns 21, 22 are provided on the electrode wiring 27, and owing to a function as an address displaying mark of the signal line 14 and the scanning line 12 as well as a function as observing window of coating state of a seal member 32, identification of defective portions is facilitated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-147538

(P2000-147538A)

(43)公開日 平成12年 5月26日 (2000. 5. 26)

(51)IntCl. ⁷	識別記号	F I	テマコード* (参考)
G 0 2 F	1/1343	G 0 2 F	1/1343
	1/1339		5 0 5
	1/136		5 0 0
G 0 9 F	9/00	G 0 9 F	9/00
G 0 9 G	3/20	G 0 9 G	3/20
			N
審査請求 未請求 請求項の数5 O L (全 8 頁)			

(21)出願番号 特願平10-322162

(22)出願日 平成10年11月12日 (1998. 11. 12)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 江 尻 直

埼玉県深谷市幡羅町1-9-2 株式会社

東芝深谷電子工場内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

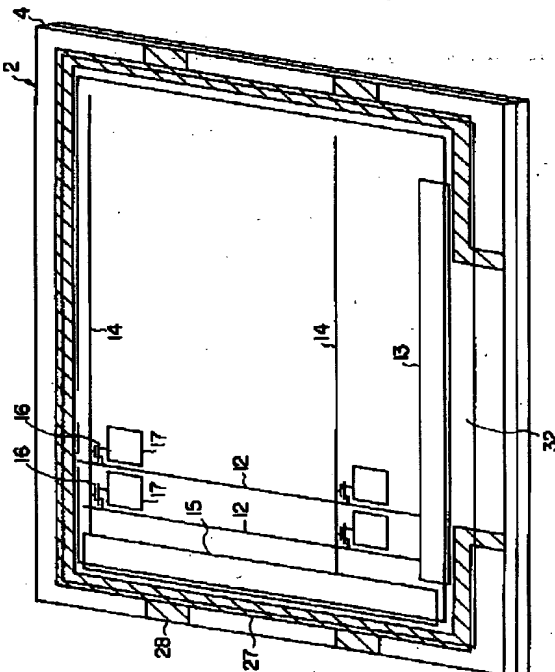
最終頁に続く

(54)【発明の名称】 平面表示装置

(57)【要約】

【課題】 故障箇所の特定が容易な平面表示装置を提供する。

【解決手段】 TFT16、TFT16に接続された走査線12、信号線14及び画素電極17、走査線12に走査信号を印加する走査線駆動回路13、信号線14に映像信号を印加する信号線駆動回路15、対向基板3に電位を印加するための導電パッド28、導電パッド28に電位を印加する電極配線27を有するマトリクスアレイ基板2と、対向電極7と遮光層6を有し、マトリクスアレイ基板2に対向配置される対向基板3と、マトリクスアレイ基板2と対向基板3との間に封入され挟持される液晶組成物とを有する液晶表示装置において、電極配線27にパターン21、22が設けられ、これが信号線14、走査線12のアドレス表示用マークとして機能し、またシール部材32の塗布状態の観察用窓として機能することにより、故障箇所の特定が容易である。



【特許請求の範囲】

【請求項 1】それぞれ交差するように配設された走査線及び信号線と、前記走査線と前記信号線との交差部に配置された画素電極と、前記画素電極が配置された表示領域以外の周辺部に配設された配線とを有するマトリクスアレイ基板と、

前記対向電極と遮光層とを有し、前記マトリクスアレイ基板とシール部材を介して対向配置された対向基板と、前記マトリクスアレイ基板と前記対向基板との間に挟持された光変調層と、

を備え、

前記配線が、前記シール部材を観察するための窓、あるいは前記走査線及び／又は前記信号線のアドレスを識別するマークの少なくともいずれか一方として機能するパターンを有することを特徴とする平面表示装置。

【請求項 2】それぞれ交差するように配設された走査線及び信号線と、前記走査線と前記信号線との交差部に配置された画素電極と、対応する前記走査線、前記信号線及び前記画素電極に接続されたスイッチング素子と、前記画素電極が配置された表示領域の周辺部に配置され前記走査線に走査信号を印加する走査線駆動回路と、前記周辺部に配置され前記信号線に映像信号を印加する信号線駆動回路と、対向基板の対向電極に電位を印加するための電極配線とを有するマトリクスアレイ基板と、前記電極配線と電気的に接続された前記対向電極と、遮光層とを有し、前記マトリクスアレイ基板とシール部材を介して対向配置された前記対向基板と、前記マトリクスアレイ基板と前記対向基板との間に挟持された光変調層と、

を備え、

前記電極配線が、前記シール部材を観察するための窓、あるいは前記走査線及び／又は前記信号線のアドレスを識別するマークの少なくともいずれか一方として機能するパターンを有することを特徴とする平面表示装置。

【請求項 3】前記電極配線は、前記走査線又は前記信号線の少なくともいずれか一方と同一材料により形成されていることを特徴とする請求項 1 又は 2 記載の平面表示装置。

【請求項 4】前記電極配線は、金属膜と透明導電膜とを含む多層構造を有することを特徴とする請求項 1 乃至 3 のいずれかに記載の平面表示装置。

【請求項 5】前記透明導電膜は、前記画素電極と同一材料により形成されていることを特徴とする請求項 4 記載の平面表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は平面表示装置に関し、例えばアクティブマトリクス型液晶表示装置に好適なものにする。

【0002】

【従来の技術】近年、小型軽量で低消費電力を志向して、液晶表示装置に代表される平面表示装置の開発が進められている。なかでも、アクティブマトリクス型液晶表示装置は高精細な画像表示が可能であり、幅広く用いられるに至っている。

【0003】従来のアクティブマトリクス型液晶表示装置の構成について、図 5～図 8 を用いて説明する。図 5 に示されたように、マトリクスアレイ基板 2a における透明な絶縁基板 4 上に、複数の信号線 12 が平行に配線され、これと直交するように複数の走査線 14 が平行に配線されている。信号線 12 と走査線 14 との間は、図示されていない絶縁膜によって電気的に絶縁されている。

【0004】さらに絶縁基板 4 上に、各々の信号線 12 に映像信号を印加するため、信号線 12 の一端が接続された信号線駆動回路 13 と、各走査線 14 に走査信号を印加するために、走査線 14 の一端が接続された走査線駆動回路 15 とが配置され、信号線 12 と走査線 14 との各々の交差点近傍にスイッチング素子としての薄膜トランジスタ（以下、TFT という）16 を介して画素電極 17 が配置されている。TFT 16 のゲートが対応する走査線 14 に接続され、ドレインが対応する信号線 12 に接続され、ソースが対応する画素電極 17 に接続されている。尚、画素電極 17 は、ITO (Indium Tin Oxide) 膜等から成る透明電極で構成されている。

【0005】また、絶縁基板 4 上において、画素電極 17 が設けられた画像表示領域の周辺部には、後述する対向基板に電位を供給するための導電パッド 28 及び電極配線 27a が設けられている。なお、これらの導電パッド 28 及び電極配線 27a は、例えば Mo-W 合金や Al-Nd 合金等の信号線あるいは走査線材料で形成されている。

【0006】また、絶縁基板 4 上にはそれぞれの信号線 12 及び走査線 14 のアドレスを示すマーク 21a が形成されている。このマーク 21a は、一般に信号線 12 又は走査線 14 を形成する際に、同じ工程で金属膜にパターニングを行うことで形成している。液晶表示装置等では、表示不良が生じた場合の故障解析を行う際に、マトリクスアレイ基板 2a における走査線 14 及び信号線 12 のアドレスを特定する必要がある。そこで、このようなアドレス表示用のマーク 21a を形成している。

【0007】対向基板 3 は、図 6 に示されるような構成を備えている。透明な絶縁基板 5 の表面上に、金属材料あるいは有機材料から成る遮光層 6 が形成され、その表面上に液晶組成物に電位を印加するための透明電極材料から成る対向電極 7 が配設されている。遮光層 6 は、画像表示領域以外の領域、あるいは各々の画素間の光漏れを防ぐことで表示鮮鋭度を向上させるために設けられるもので、例えばクロムと酸化クロムとの金属積層構造や有機材料から成る膜で形成されている。対向電極 7 は I

ITO膜等から成り、画像表示領域内に一様に配設され、この領域内は全て等電位となる。また、透明電極7の下層に図示されていないカラーフィルタが配置されていることで、多色表示が可能である。

【0008】また、絶縁基板5における周辺部の表面上には、マトリクスアレイ基板2aから電位を受け取るための対向導電パッド29が設けられている。対向導電パッド29は対向電極7と同一工程で、例えばITO膜により一体的に形成される。

【0009】そして、図5に示されたマトリクスアレイ基板2aの周辺部上に、シール部材32が塗布され、対向基板3と貼り合わせられる。対向基板3に与えられる電位は、外部からマトリクスアレイ基板2a上の電極配線27aに印加され導電パッド28に送られる。図7に示されるように、導電パッド28上に形成された銀ペースト34を介して、対向基板3上の導電パッド29に電位が印加され、対向電極7に電位が供給される。

【0010】

【発明が解決しようとする課題】ところで、近年ではパーソナルコンピュータ等においてその外形寸法に比し大きな表示領域を確保するため、平面表示装置に対して狭額縁化、即ち有効表示領域に対する周辺の額縁領域を小さくすることが要求されている。また、駆動回路一体型の液晶表示装置では、図8に示されるように、マトリクスアレイ基板2a上の周辺領域の額縁部に駆動回路部15が存在するので、電極配線27aを配設することが可能な領域が狭く限定されている。このため、シール部材32と電極配線27aとが重なる部分が生じないようにすることが難しくなっている。しかし、シール部材32と電極配線27aとが重なると、電極配線27aの存在によりシール部材32の塗布状態を両基板の貼り合わせ後にマトリクスアレイ基板2a側から確認することができない。

【0011】電極配線27aを細線化してシール部材32が確認できるようにすることも考えられる。しかし、電極配線27aを細線化するとこの配線抵抗が増加し、対向電極7の電位が一定にならないおそれがある。よって、電極配線27aを細線化することは困難であった。

【0012】一方、対向基板3には、上述のように画像表示領域以外から光漏れが生じないようにするべく遮光層6が形成されている。このため、対向基板3側からもシール部材32の状態を確認することは不可能である。

【0013】このように、マトリクスアレイ基板2a側からも対向基板3側からもシール部材32の塗布状態を確認することが不可能となると、マトリクスアレイ基板2aと対向基板3とを貼り合わせた後に、シール部材32の塗布状態を観察することができないことになる。シール部材32の塗布幅が規格よりも細かったり、シール部材32に穴が存在するような場合には、この部分から不純物が液晶組成物に侵入し、表示不良を引き起こすお

それがあるという問題があった。

【0014】また、駆動回路一体型の液晶表示装置では、上述したように周辺の額縁部に駆動回路部15が存在するため、走査線14及び信号線12にアドレス表示用マーク21aをパターンニングする領域を確保することが困難であった。アドレス表示用マーク21aを形成することができないと、故障箇所の特定が困難であり、故障解析の時間が増加してコストの増大を招くことになる。

【0015】本発明は上記事情に鑑みてなされたものであり、故障箇所の特定が容易であり表示不良の発生を防止することができると共に、コスト低減に寄与し得る平面表示装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明による平面表示装置は、それぞれ交差するように配設された走査線及び信号線と、前記走査線と前記信号線との交差部に配置された画素電極と、前記画素電極が配置された表示領域以外の周辺部に配設された配線とを有するマトリクスアレイ基板と、前記対向電極と遮光層とを有し、前記マトリクスアレイ基板とシール部材を介して対向配置された対向基板と、前記マトリクスアレイ基板と前記対向基板との間に挟持された光変調層とを備え、前記配線が、前記シール部材を観察するための窓、あるいは前記走査線及び／又は前記信号線のアドレスを識別するマークの少なくともいずれか一方として機能するパターンを有することを特徴としている。

【0017】また本発明の平面表示装置は、それぞれ交差するように配設された走査線及び信号線と、前記走査線と前記信号線との交差部に配置された画素電極と、対応する前記走査線、前記信号線及び前記画素電極に接続されたスイッチング素子と、前記画素電極が配置された表示領域の周辺部に配置され前記走査線に走査信号を印加する走査線駆動回路と、前記周辺部に配置され前記信号線に映像信号を印加する信号線駆動回路と、対向基板の対向電極に電位を印加するための電極配線とを有するマトリクスアレイ基板と、前記電極配線と電氣的に接続された前記対向電極と、遮光層とを有し、前記マトリクスアレイ基板とシール部材を介して対向配置された前記対向基板と、前記マトリクスアレイ基板と前記対向基板との間に挟持された光変調層とを備え、前記電極配線が、前記シール部材を観察するための窓、あるいは前記走査線及び／又は前記信号線のアドレスを識別するマークの少なくともいずれか一方として機能するパターンを有することを特徴とする。

【0018】配線又は電極配線に形成されたパターンが、シール部材の観察用窓として機能する場合は、この窓を介してシール部材の塗布状態を観察することによりシール不良の検出が可能である。また、パターンが走査線及び／又は信号線のアドレスを識別するマークとして

機能する場合は、故障箇所の特定がより容易になる。

【0019】ここで電極配線は、走査線又は信号線の少なくともいずれか一方と同一材料により形成されているもよい。

【0020】電極配線が走査線又は信号線と同一材料から形成されるので、工程の増加が防止され製造性が向上し、コスト低減に寄与することができる。

【0021】電極配線は、金属膜と透明導電膜とを含む多層構造を有するものであることが望ましい。

【0022】電極配線が多層構造を有することにより、パターンが存在しても配線抵抗の増加が防止され、表示不良のない高品位な装置が提供される。

【0023】透明導電膜は、画素電極と同一材料により形成されているもよい。

【0024】透明導電膜が画素電極と同一材料から形成されることにより、工程が増加せず製造性が向上し、コストが低減される。

【0025】

【発明の実施の形態】以下、本発明の一実施の形態について図面を参照して説明する。

【0026】本発明の第1の実施の形態による平面表示装置は、アクティブマトリクス型液晶表示装置であって、図1に示されたようなマトリクスアレイ基板2と、図6に示された対向基板3と、これらの基板間に挟持される液晶組成物とを備えている。

【0027】対向基板3は従来の装置と同様な構成を有し、透明な絶縁基板5上に遮光層6が形成され、その上に液晶組成物に電位を印加するための対向電極7が配設されている。

【0028】遮光層6は、画像表示領域以外の領域、あるいは画素間の光漏れを防いで表示鮮鋭度を向上させるために設けられており、例えばクロムと酸化クロムの金属材料を積層したものや、有機材料から形成されている。対向電極7は、例えばITO膜等の透明電極で形成されている。この対向電極7は、画像表示領域内が全て略等電位となるように、この表示領域内に一様に配設されている。また、対向電極7の下層には、多色表示が可能となるように図示されていない色材によりカラーフィルタが設けられている。

【0029】マトリクスアレイ基板2は、図1に示されたように透明な絶縁基板4上に複数の信号線12が平行に配設され、これらの信号線12とほぼ直角に交差するように複数の走査線14が平行に配設されている。各々の信号線12と走査線14とは、図示されていない絶縁膜によって電氣的に絶縁されている。

【0030】信号線12の一端には、信号線12に映像信号を印加するための信号線駆動回路13が電氣的に接続されており、走査線14の一端には走査線14に走査信号を印加する走査線駆動回路15が電氣的に接続されている。

【0031】信号線12と走査線14との各交差点毎に、TFT16及び画素電極17が設けられている。TFT16のゲートが対応する走査線14に接続され、ドレインが対応する信号線12に接続され、ソースが画素電極17に接続されている。尚、画素電極17は例えばITO膜のような透明電極で形成されている。

【0032】またマトリクスアレイ基板2には、対向基板3に電位を与えるための導電パッド28及び電極配線27が設けられている。電極配線27は、信号線12及び走査線14が形成される工程と同一工程において形成される。

【0033】マトリクスアレイ基板2の画像表示領域の周辺を囲むようにシール部材32が塗布され、対向基板3と貼り合わせられる。対向基板3に与えられる電位は、外部からマトリクスアレイ基板2上の電極配線27に印加され、導電パッド28に送られる。導電パッド28上に形成され図示されていない銀ペーストを介して対向基板3の導電パッド29に与えられ、対向電極7に電位が供給される。

【0034】そして、本実施の形態による装置では、マトリクスアレイ基板2における電極配線27に特徴があり、図2にその形状を詳細を示す。電極配線27には、シール部材32の塗布状態を観察するための窓として配線方向に沿って（シール部材32の配置方向（幅方向）に沿って）網状に切り欠いた複数のスリットから成るパターン22が形成されている。また電極配線27には、信号線12及び／又は走査線14のアドレスを表示するパターン21が形成されている。

【0035】図3に示されたように、電極配線27は金属膜35（例えば、Mo-W合金とAl-Nd合金から成る二層積層構造）と、例えばITO膜から成る透明導電膜34により構成されている。あるいは、図4に示されたように、電極配線127は、金属膜35及び135と透明導電膜34とにより三層積層構造を有している。

【0036】このように、本実施の形態による平面表示装置では、電極配線27にシール部材32の塗布状態を観察するための窓として機能するパターン22が形成されている。よって、図3に示されたように、シール部材32と電極配線27とが上下に重なりあっても、シール部材32の塗布状態をマトリクスアレイ基板2側から観察することが可能である。また、マトリクスアレイ基板4と対向基板3とを貼り合わせた後でも、シール部材32の塗布幅を測定することが可能である。このため、シール部材32の塗布幅が規格よりも細い場合、あるいはシール部材32に穴が存在することにより、外部から不純物が液晶組成物に侵入し、表示不良を引き起こす可能性があるかどうかを判別することができる。

【0037】また、電極配線27又は127には、信号線12あるいは走査線14のアドレス表示用のパターン21が対応する信号線12あるいは走査線14近傍に形

成されている。このため、故障解析において故障個所の特定が容易であり、故障解析時間が短縮されコスト低減が可能である。

【0038】さらに、電極配線 27 又は 127 が金属膜 35 と透明導電膜 34 との二層あるいは三層といった多層積層構造で形成されている。このため、パターン 21、22 が存在しても電極配線 27 又は 127 の配線抵抗の上昇が防止され、対向電極 7 の電位が一定に保持される。この結果、表示不良の発生が防止され高品位な液晶表示装置の提供が可能である。

【0039】ここで、電極配線 27 を構成する金属膜 35 を信号線 12 及び走査線 14 を形成する工程と同一工程で形成し、透明導電膜 34 を画素電極 17 と同一工程で形成している。このため、工程数が増加せず生産性が向上し、より低コストの液晶表示装置を提供することが可能である。

【0040】上述した実施の形態は一例であり、本発明を限定するものではない。例えば、上記実施の形態では、シール部材の塗布状態を観察するためのパターンや、走査線及び／又は信号線のアドレス表示用パターンの形成を、対向電極に電位を与える電極配線に対して行っている。しかし、電極配線に限らず画像表示領域の周辺部においてシール部材と上下に重なるように配設された他の配線に対してこのようなパターンを形成してもよい。

【0041】また、上記実施の形態では平面表示装置の一例としてアクティブマトリクス型液晶表示装置を例にとり説明したが、このような装置に限らず平面形状の表示装置全般に対して、本発明を幅広く適用することが可能である。

【0042】

【発明の効果】以上説明したように、本発明の平面表示装置によれば、シール部材を観察する窓、又は信号線及び／又は走査線のアドレス表示用マークの少なくともいずれか一方として機能するパターンが配線に形成されていることにより、表示不良を引き起こす可能性がある故障箇所を容易に特定することが可能で、低コストで高品

位な装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態によるアクティブマトリクス型液晶表示装置におけるマトリクスアレイ基板の構成を示す斜視図。

【図 2】同液晶表示装置における電極配線の構成を示した平面図。

【図 3】同液晶表示装置の電極配線の断面構造を示した縦断面図。

10 【図 4】同液晶表示装置の他の電極配線の断面構造を示した縦断面図。

【図 5】従来の液晶表示装置におけるマトリクスアレイ基板の構成を示す斜視図。

【図 6】同液晶表示装置における対向基板の構成を示す斜視図。

【図 7】同液晶表示装置においてマトリクスアレイ基板から対向基板へ電位を供給する構造を示した縦断面図。

【図 8】同液晶表示装置におけるマトリクスアレイ基板における駆動回路部の配置を示した平面図。

20 【符号の説明】

2 マトリクスアレイ基板

3 対向基板

4、5、104 絶縁基板

6 遮光膜

7 対向電極

12 信号線

13 信号線駆動回路

14 走査線

15 走査線駆動回路

30 16 TFT

21 パターン（アドレス表示用）

22 パターン（シール部材観察用窓）

27、127 電極配線

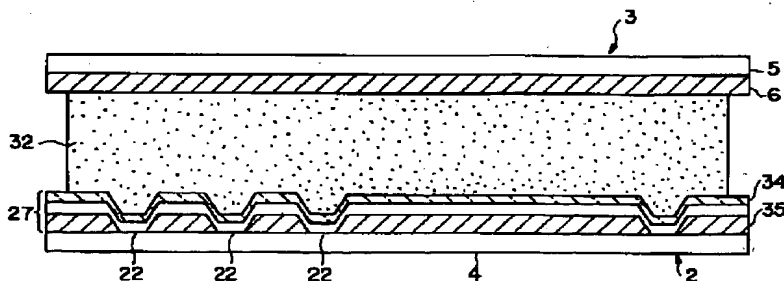
28、29 導電パッド

32 シール部材

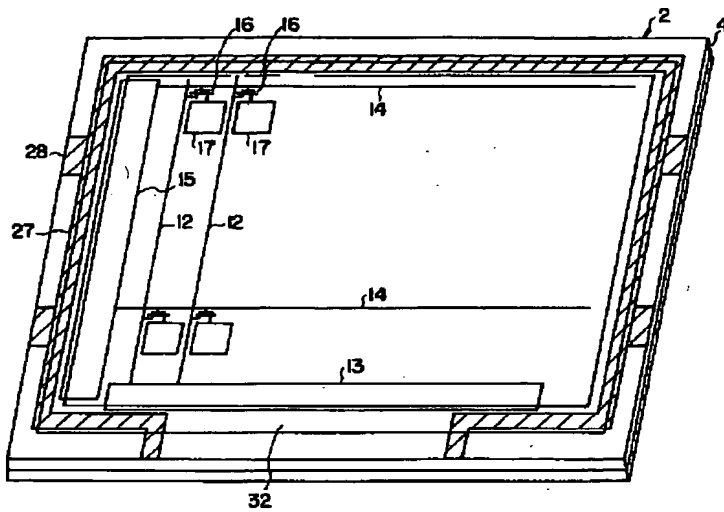
34 透明導電膜

35、135 金属膜

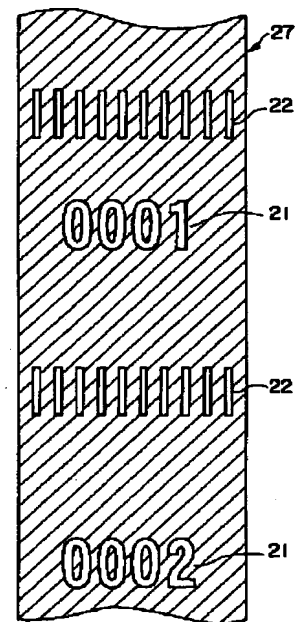
【図 3】



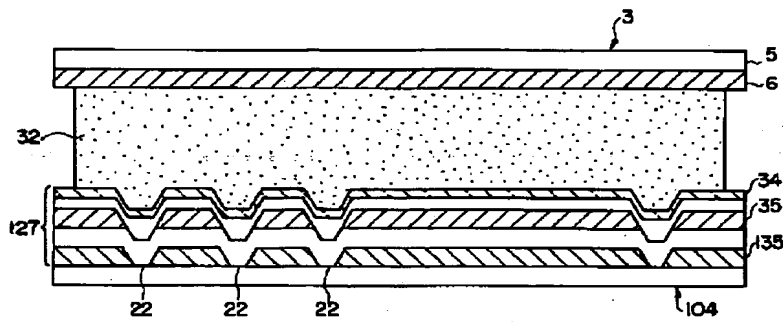
【図 1】



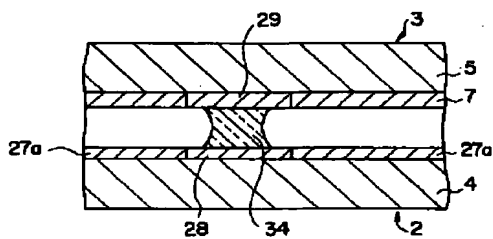
【図 2】



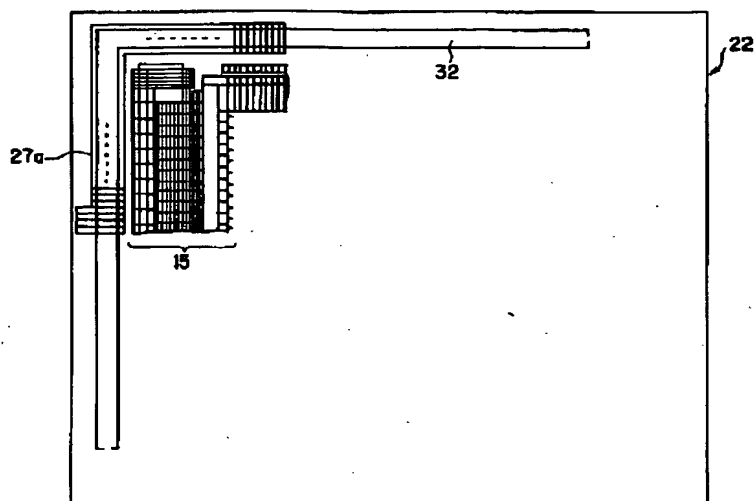
【図 4】



【図 7】



【図8】



フロントページの続き

F ターム(参考) 2H089 LA46 NA24 NA38 NA39 QA12
 TA02 TA09 TA12 TA13
 2H092 GA34 GA38 GA57 GA59 JA24
 JB51 NA27 NA28 PA04 PA08
 PA09
 5C080 AA10 BB05 DD15 DD27 FF11
 JJ02 JJ06
 5G435 AA00 AA17 BB12 CC09 EE33
 EE37 EE41 FF00 FF13 HH12
 KK05 KK09